



EM78F6xxN/5xxN 单片机 在线编程 (ISP) 应用指南

1 目的

本文档为 EM78F66xN、EM78F64xN、EM78F56xN、EM78F54xN 单片机在线编程 (ISP) 提供指导。

2 原理

ISP (In-System Programming) 即在线可编程。我们在调试软件的时候，不需要从电路板上取下 IC 器件，只要注意相应的烧录应用电路就可以直接对 IC 进行重复地擦写最终用户代码。

3 联机操作步骤

1. 安装相应的 UWTR 烧录软件。



2. 插入相对应的转接板。



3. 用数据软排线将烧录器和目标板正确连接。



4 烧录模式

4.1 依不同的包装、RESET 脚位的定义，IC 可分类如下：

4.1.1 具有独立的 RESET pin。

Ex. EM78F644N、EM78F664N
EM78F544N、EM78F564N

4.1.2 复合式功能脚位可为 RESET 或一般 I/O pin。

Ex. EM78F641N、EM78F642N、EM78F661N、EM78F662N、
EM78F648N、EM78F668N
EM78F541N、EM78F542N、EM78F561N、EM78F562N、
EM78F548N、EM78F568N

4.1.3 无 RESET pin。

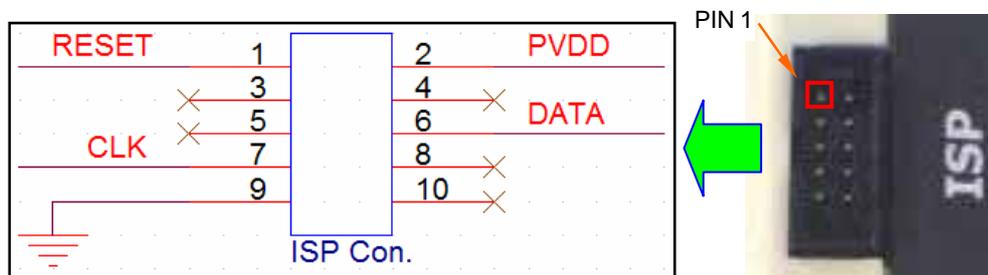
Ex. EM78F641NMS10、EM78F661NMS10
EM78F541NMS10、EM78F561NMS10

4.2 五线烧录模式: DATA、CLK、VDD、VSS and RESET

在 ISP 烧录时，由于外部应用电路中的 RESET 及 VDD 都有可能外接电容到地，因此必须采用五线烧录模式，方能正常烧录。

适合采用五线烧录的情形如下：

- 具有独立的 RESET pin。
- 复合式功能脚位且设定为 RESET 时。
- 复合式功能脚位且设定为一般 I/O 时，该脚位在外部应用电路有连接电容到地。



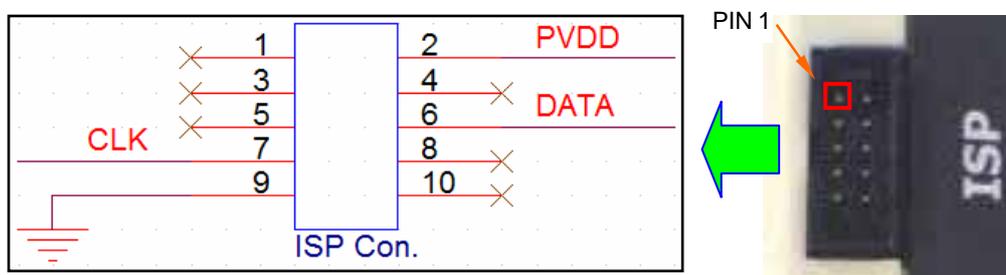
In-System-Programming extended pins

Applicable ISP pins: **1: RESET**、**2: PVDD**、**6: DATA**、**7: CLK**、**9: GND**

4.3 四线烧录模式: DATA、CLK、VDD、VSS

适合采用四线烧录的 IC 情形如下：

- IC 包装无 RESET pin。
- 复合式功能脚位且设定为一般 I/O 时，此脚位在外部应用电路没有连接任何电容到地。



In-System-Programming extended pins

Applicable ISP pins: **2: PVDD**、**6: DATA**、**7: CLK**、**9: GND**

4.4 IC 烧录脚位定义列表:

表一、EM78F6xxN

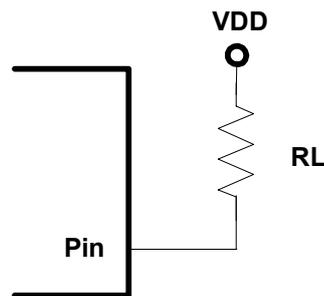
IC body	CLK	DATA	RST	烧录模式
	PIN define	PIN define	PIN define	
EM78F641N	P82/CIN2-	P81/CIN2+	P83	四线
			RESET	五线
EM78F642N	P66	P67	P83	四线
			RESET	五线
EM78F644N	P66	P67	RESET	五线
EM78F661N	P82/CIN2-	P81/CIN2+	P83	四线
			RESET	五线
EM78F662N	P71/OP+	P70/OPOUT	P83	四线
			RESET	五线
EM78F664N	P81/CIN2+	P80/CO2	RESET	五线
EM78F648N	P81/CIN2+	P80/CO2	P83	四线
			RESET	五线
EM78F668N	P81/CIN2+	P80/CO2	P83	四线
			RESET	五线

表二、EM78F5xxN

EM78F541N	P82/CIN2-	P81/CIN2+	P83	四线
			RESET	五线
EM78F542N	P66	P67	P83	四线
			RESET	五线
EM78F544N	P66	P67	RESET	五线
EM78F561N	P82/CIN2-	P81/CIN2+	P83	四线
			RESET	五线
EM78F562N	P71/OP+	P70/OPOUT	P83	四线
			RESET	五线
EM78F564N	P81/CIN2+	P80/CO2	RESET	五线
EM78F548N	P81/CIN2+	P80/CO2	P83	四线
			RESET	五线
EM78F568N	P81/CIN2+	P80/CO2	P83	四线
			RESET	五线

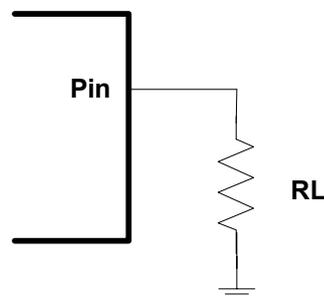
5 系统应用中关于硬件的注意事项

- 烧录时需将目标板上的供电电源切除。
- 烧录器和目标板连接的数据软排线，应须 **10 cm** 以内尽可能短，以免影响烧录。
- 数据软排线到 IC 烧录脚位之间勿**并接电容及串接任何电子组件** (如: 电阻、电容...)。
- 烧录时，烧录脚 VDD 与 VSS 间可接最大电容 **470uF**，以免影响烧录。
- 正常烧录，烧录脚 VDD 与 VSS 间电压范围为: $5.5V \pm 1\%$ 。
- 烧录脚 VDD 可提供最大电流 60mA。
- 烧录脚 DATA、CLK 最大驱动电流 6mA。
- 确保可正常烧录，烧录脚 DATA、CLK 外接**等效负载 RL** 上拉至 VDD 需大于 **200Ω**。



脚位 (DATA、CLK) 电阻 RL 大于 **200 Ω**。

- 确保可正常烧录，烧录脚 DATA、CLK 外接**等效负载 RL** 下拉至 VSS 需大于 **500Ω**。



脚位 (DATA、CLK) 电阻 RL 大于 **500 Ω**。

(上述电阻资料均是在常温、软排线长10 cm的条件下测得的)